

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000019728 A
(43)Date of publication of application: 15.04.2000

(21)Application number: 980037973
(22)Date of filing: 15.09.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.
(72)Inventor: HWANG, GYU TAE
KWON, O BONG
LEE, SEOK JUNG
YANG, WOODWARD

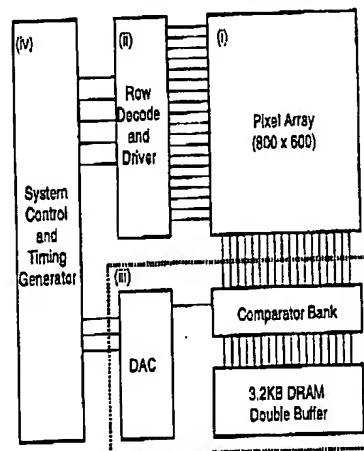
(51)Int. Cl. H01L 27/085

(54) CMOS (COMPLEMENTARY METAL OXIDE SEMICONDUCTOR) IMAGE SENSOR

(57) Abstract:

PURPOSE: A CMOS(Complementary Metal Oxide Semiconductor) image sensor is provided to implement all circuits required to image sensing into one chip and implement image sensor operated in low power and high speed.

CONSTITUTION: A CMOS(Complementary Metal Oxide Semiconductor) image sensor comprises a pixel array(i), a row decoder and driver(ii), an A/D converter(iii) and a digital logic(iv). The pixel array arranges pixels in N x M and senses the data about outside image. The row decoder and driver accesses to random row of the pixels. The A/D converter converts the analog voltage from the pixel array into digital signals in order to reduce fixed pattern noise. The digital logic generates control and timing signals.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19990504)

Final disposal of an application (registration)

Date of final disposal of an application (20020225)

Patent registration number (1003392480000)

Date of registration (20020521)

특2000-0019728

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/086

(11) 공개번호 특2000-0019728
(43) 공개일자 2000년04월15일

(21) 출원번호 10-1998-0037973
(22) 출원일자 1998년09월15일
(71) 출원인 현대전자산업 주식회사 김명환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 권오봉
경기도 이천시 대월면 사동리 441-1 현대아파트109동 805호
미석중
서울특별시 강동구 길동 298-1 진흥아파트 7동 310호
황규태
경기도 성남시 분당구 구미동 77 까치마을 선경아파트 112동 503호
양 우드워드
경기도 이천시 부발읍 아미리 산 136-1
(74) 대리인 박해천, 원석희

심사청구 : 있음

(54) 씨모스 이미지 센서

요약

본 발명은 저전력 및 고속 구동이 가능한 씨모스 이미지 센서를 제공하기 위한 것으로, 이를 위해 본 발명의 구성은 CMOS 이미지 센서에 있어서, 빛에 반응하는 성질을 극대화 시키도록 만든 픽셀을 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 픽셀 어레이 수단; 전기적인 셔터를 통한 집적 시간의 제어 및 읽기 동작을 용이하게 하기 위해 상기 픽셀의 임의 로우를 랜덤하게 액세스하기 위한 로우 디코더 및 드라이버 수단; 고정된 패턴 잡음(fixed pattern noise)을 줄이기 위해 디지털 이중 샘플링의 단순한 단일 슬로프 및 비교기 옵션을 이용하여 상기 픽셀 어레이 수단으로부터 출력되는 아날로그 전압을 디지털 신호로 변환하기 위한 아날로그-디지털 변환 수단; 및 제어 및 타이밍 신호 생성을 위한 디지털 로직 수단을 포함한다.

도표도

도1

영세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 CMOS 이미지 센서에 대한 블록 다이어그램도.
- 도 2는 본 발명에 따른 CMOS 이미지 센서의 마스터 클럭(MCLK), Vsync 신호 및 Hsync 신호의 파형도.
- 도 3은 본 발명에 따른 단위 픽셀의 회로도.
- 도 4는 본 발명에 따른 로우 드라이버 회로도.
- 도 5는 본 발명에 따른 ADC의 블록도.
- 도 6은 상기 도 5의 간단한 비교기 회로도.
- 도 7은 각 픽셀로부터의 아날로그 출력 전압과 아날로그 램프들 사이의 관계를 도시한 타이밍 다이어그램도.
- 도 8은 쓰기 및 읽기 제어 신호를 가진 4T 디램 셀의 CMOS 회로도.

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 써모스(Complementary Metal Oxide semiconductor)로 구현된 이미지 센서(image sensor)에 관한 것이다.

일반적으로, 이미지 센서란 빛에 반응하는 반도체의 성질을 이용하여 이미지를 찍어(capture)내는 장치를 말하는 것이다. 자연계에 존재하는 각 피사체의 부분부분은 빛의 밝기 및 파장 등이 서로 달라서 감지하는 장치의 각 픽셀(pixel)에서 다른 전기적인 값을 보이는데, 이 전기적인 값을 신호처리가 가능한 레벨로 만들어 주는 것이 바로 이미지 센서가 하는 일이다.

전하 결합 소자(Charge Coupled Device, 이하 CCD라 함)로 구현된 종래의 이미지 센서는 비교적 높은 전압(약 12V)이 필요하며, 또한 일반 공정과 달라 많은 공정 스텝(step) 수를 필요로 한다. 그리고, CCD로 구현된 센서는 아날로그 신호를 출력함으로써 디지털 신호로 변환하는 별도의 로직을 필요로 하는데, 센서 공정과 별도의 로직 공정이 서로 달라 하나의 칩으로 구현하기 어려운 문제가 있다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기 요구사항에 기반하여 안출된 것으로써, 저전력 및 고속 구동이 가능한 써모스 이미지 센서를 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 CMOS 이미지 센서에 있어서, 빛에 반응하는 성질을 극대화 시키도록 만든 픽셀을 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 픽셀 어레이 수단을; 전기적인 셔터를 통한 집적 시간의 제어 및 읽기 동작을 용이하게 하기 위해 상기 픽셀의 임의의 로우를 랜덤하게 역선택하기 위한 로우 디코더 및 드라이버 수단; 고정된 패턴 잡음(fixed pattern noise)을 줄이기 위해 디지털 이중 샘플링의 단순한 단일 슬로프 및 비교기 음셋을 이용하여 상기 픽셀 어레이 수단으로부터 출력되는 아날로그 전압을 디지털 신호로 변환하기 위한 아날로그-디지털 변환 수단; 및 제어 및 타이밍 신호 생성을 위한 디지털 로직 수단을 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다.

도 1은 본 발명에 따른 CMOS 이미지 센서에 대한 블록 다이어그램도이다.

CMOS 이미지 센서는 800 × 600의 픽셀 어레이(pixel array), 로우 디코더 및 드라이버(Row Decoder and Driver), 3.2KB 디램 라인 버퍼(DRAM Double Buffer)를 가진 ADC(Analog Digital Converter) 뱅크 및 이미지 센서 제어 및 타이밍 신호 생성을 위한 디지털 로직부(System Control and Timing Generator)로 이루어진다.

픽셀 어레이는 디플레이션 모드(depletion mode) 트랜지스터를 가진 4T NMOS 픽셀 및 저전압 포토 다이오드로 이루어지고, 로우 디코더 및 드라이버는 전기적인 셔터(shutter)를 통한 집적 시간의 제어 및 읽기 동작을 용이하게 하기 위해 픽셀의 임의의 로우를 랜덤하게 역선택하기 위한 것이다.

그리고, 800개의 ADC는 고정된 패턴 잡음(fixed pattern noise)을 줄이기 위해 디지털 이중 샘플링의 단순한 단일 슬로프 구조(single slope architecture) 및 비교기 음셋을 사용하여 구현된다. 특히, 상기 4T 픽셀은 모든 CCD 시스템에서 효과적으로 사용되어진 상관 이중 샘플링(correlated double sampling)을 더 잘 구현한다. 3.2KB 디램 데이터 버퍼는 디지털 이중 샘플링과 센서로부터의 효과적이고 연속적인 독출(readout)을 위해 필수적이다.

다음으로, 디지털 로직부는 픽셀 어레이 및 ADC 뱅크에서 필요한 모든 타이밍 신호를 제공하기 위해 프로그램 가능한 레지스터를 가지는 유한 상태머신(finite state machine)을 구현하는데 대략 스턴다드 셀 로직의 12K 게이트로 구성된다. 통신 프로토콜에 기반한 단순한 2-와이어 IIC는 다양한 타이밍 파라미터 및 동작 모드, 화이트 밸런스(white balance)를 위한 ADC 미드 및 내부 아날로그 바이어스 전압의 외부 프로그래밍과 제어를 가능케 한다.

도 2는 본 발명에 따른 CMOS 이미지 센서의 마스터 클럭(MCLK), 새로운 프레임의 시작을 알리는 Vsync 신호 및 새로운 라인의 시작을 알리는 Hsync 신호의 파형도이다.

센서의 기본 동작 모드는 전체 프레임 이미지의 연속적인 독출 또는 싱글-샷(single-shot) 또는 윈도우된 일부 프레임만을 제공하도록 맞춰진다. 이미지 센서는 단일 마스터 클럭(MCLK)에 입각하여 픽셀 어레이, ADC 뱅크 및 출력 드라이버를 위한 모든 필요한 클럭킹 신호를 제공한다. 칩은 센서로부터 연속적인 디지털 래스터(raster) 스캔 출력을 제공하는데, 8비트의 병렬 출력은 마스터 클럭과, Vsync 및 Hsync 출력 신호에 각각 동기되어 출력된다.

도 3은 단위 픽셀의 회로도로서, 저전압 포토 다이오드와, PhiT에 응답하여 포토 다이오드(200)에 생성된 광전하를 센싱 노드(A)로 운송하기 위한 트랜스퍼 트랜지스터(NM1)와, 다음 신호 검출을 위해 PhiR에 응답하여 상기 센싱 노드(A)에 저장되어 있는 전하를 배출하기 위한 리셋 트랜지스터(NM2)와, 소스 폴로워(source follower) 역할을 수행하는 드라이브 트랜지스터(NM3) 및 PhiS에 응답하여 스위칭으로 어드레싱할 수 있도록 하는 셀렉트 트랜지스터(NM4)로 이루어진다.

도 4는 로우 단위별로 각 픽셀에 상기 4개의 제어 신호(PhiR, PhiS 및 PhiT)를 제공하기 위한 로우 드라이버 회로도로서, 외부 패드로부터 입력되는 제어 신호(Sx) 및 스캔 신호(Scan)를 입력받아 부정논리곱하는 NAND 게이트(300)와, 상기 NAND 게이트(300)로부터의 출력을 반전하여 PhiS를 출력하는 인버터(301)와, 외부 패드로부터 입력되는 제어 신호(Rx) 및 스캔 신호(Scan)를 입력받아 부정논리곱하는 NAND 게이트(302)와, 상기 NAND 게이트(302)로부터의 출력을 반전 지연한 후 PhiR로 출력하는 2개 인버터(303, 304)와, 스캔 신호(Scan) 및 반전된 스캔 신호(/Scan)에 응답하여 외부 패드로부터 입력되는 제어 신호(Tx)를 트랜스퍼하는 트랜스미션 게이트(305)와, 상기 트랜스미션 게이트(305)로부터 출력되는 신호를 래치하는 래치(306)와, 래치(306)로부터 출력되는 신호를 반전하여 PhiT로 출력하는 인버터(307)와,

집적 신호(INTEGRATE)를 게이트로 입력받으며 트랜스미션 게이트(305)의 출력단 및 집적전원단 사이에 연결되는 트랜지스터(308)로 이루어진다.

여기서, 스캔 신호(Scan_n 내지 Scan_{n-1})는 윈도우 모드 시 임의 구간만을 윈도우(windowing)하여 읽어내기 위한 어드레스 값이고, 제어 신호인 Sx는 셀렉트 트랜지스터(NM4)의 PhiS를 발생하기 위한 신호로서, 메모리의 비트 라인 선택과 동일한 기능을 가진다. 제어 신호인 Rx는 리셋 트랜지스터(NM2)의 PhiR를 발생하기 위한 신호로서, 포토 다이오드(200)를 전원전압 레벨(VDD)로 리셋시키거나 출력단에서 기준 전압으로 사용하게 될 VDD에 의한 출력값 발생을 위하여 사용되며, 제어 신호인 Tx는 트랜스퍼 트랜지스터(NM1)의 PhiT를 발생하기 위한 신호로서, 포토 다이오드(200)를 VDD 레벨로 리셋시킬 때 Rx와 함께 동작하며, 포토 다이오드(200)에 축적된 어느 일정 시간 동안의 이미지 데이터를 출력단으로 읽어내기 위하여 사용되는 신호이다.

포토 다이오드(200)에서 빛을 흡수하여 광전하를 생성하고, 생성된 광전하를 집적하기 위해 제어부로부터 '하이(high)' 레벨의 집적 신호(INTEGRATE)가 입력되어 PhiT를 '로우(low)'로 만들고, 그에 따라 픽셀부의 트랜스퍼 트랜지스터(NM1)가 턴-오프된다. 이때, 스캔 신호(Scan)는 무관하게 동작한다.

다음으로, '로우' 레벨의 집적 신호(INTEGRATE)가 입력되어 집적 단계를 끝마치고 트랜스퍼 단계로 넘어가 '하이' 레벨의 스캔 신호(Scan)가 입력될 때 Tx 및 Sx는 그대로 PhiT 및 PhiS로 출력되고, Rx는 반전되어 PhiR로 출력된다. 그리고, '로우' 레벨의 스캔 신호(Scan)가 입력되는 경우에는 Sx 및 Rx의 값에 관계없이 PhiS 및 PhiR로 무조건 '로우' 및 '하이' 레벨이 각각 출력된다. 그리고, Tx의 값에 관계없이 래치(306)에 래치된 데이터가 PhiT로 출력된다.

도 5는 본 발명에 따른 ADC의 블록도이다.

800개 병렬 ADC의 뱅크는 직접적인 디지털 출력을 위해 픽셀 어레이로부터 출력되는 원(raw) 아날로그 픽셀 전압을 8비트 디지털 값으로 변환하기 위해 사용된다.

ADC 뱅크는 디지털 카운터를 가지는 단일 아날로그 램프 전압 발생기(single analog ramp voltage generator)와, 간단한 CMOS 비교기 및 디지털 래치를 가지는 병렬 뱅크로 구현된다. 여기서, 3개의 프로그램 가능한 아날로그 전압 램프 발생기(analog voltage ramp generator)는 베이어 패턴의 R(red), G(green), B(blue) 픽셀에 대한 ADC 이득을 위해 홀수(odd) 및 짝수(even) 칼럼 비교기로 다중화된다. 그리고, 프로그램 가능한 아날로그 전압 램프 발생기는 간단한 아날로그 스위치드 커패시터 집적소자(analog switched capacitor integrator)로 구현되어진다.

도 6은 상기 도 5의 간단한 비교기에 대한 회로도로서, 히스테리시스 특성을 가진 간단한 CMOS 연속 시간 비교기로 구현된다. 아날로그 다운 램프가 아날로그 픽셀 출력 전압과 크로스되었을 때, 연속 시간 비교기는 그레이 코드 카운터의 상태를 디램 버퍼로 출력한다.

도 7은 각 픽셀로부터의 아날로그 출력 전압과 아날로그 램프 사이의 관계를 도시한 타이밍 다이어그램이다.

픽셀로부터의 기준 전압 출력은 최초의 프로그래머블 리셋 전압에서 시작하는 다운 램프를 사용하여 변환되어진다. 다운 램프는 대략 110 스텝을 가지며, 픽셀 및 비교기 뱅크에서 옴셋의 최대 범위에 의해 결정되어진다. 원(raw) 데이터 출력 전압은 상기 동일한 초기 리셋 전압으로부터 시작하는 두 번째 다운 램프를 사용하여 대략 384 스텝을 가지고 연속적으로 변환되어진다.

도 8은 쓰기 및 읽기 제어 신호를 가진 4T 디램 셀의 CMOS 회로도이다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

본 발명의 효과

상기와 같이 이루어지는 본 발명은 이미지 센스에 필요한 모든 회로를 원칩화로 구현할 수 있으며, 또한 저전력 및 고속으로 구동가능한 이미지 센서를 구현할 수 있는 탁월한 효과가 있다.

(5) 청구의 범위

청구항 1. CMOS 이미지 센서에 있어서,

빛에 반응하는 성질을 극대화 시키도록 만든 픽셀을 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 픽셀 어레이 수단;

전기적인 셔터를 통한 집적 시간의 제어 및 읽기 동작을 용이하게 하기 위해 상기 픽셀의 임의 로우를 랜덤하게 역제스하기 위한 로우 디코더 및 드라이버 수단;

고정된 패턴 잡음(fixed pattern noise)을 줄이기 위해 디지털 이중 샘플링의 단순한 단일 슬로프 및 비교기 옴셋을 이용하여 상기 픽셀 어레이 수단으로부터 출력되는 아날로그 전압을 디지털 신호로 변환하기 위한 아날로그-디지털 변환 수단; 및

제어 및 타이밍 신호 생성을 위한 디지털 로직 수단

를 포함하여 이루어지는 CMOS 이미지 센서.

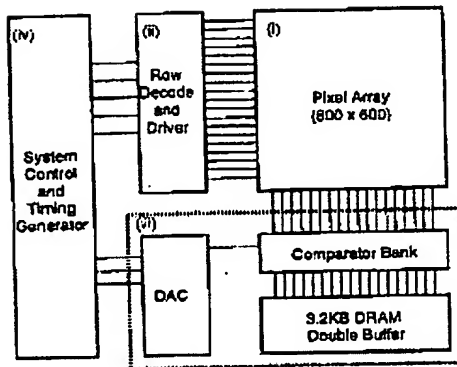
청구항 2. 제 1 항에 있어서, 상기 아날로그-디지털 변환 수단은,

상기 디지털 이중 샘플링 및 상기 이미지 센서로부터의 연속적인 이미지 데이터 출력을 위한 데이터 버퍼

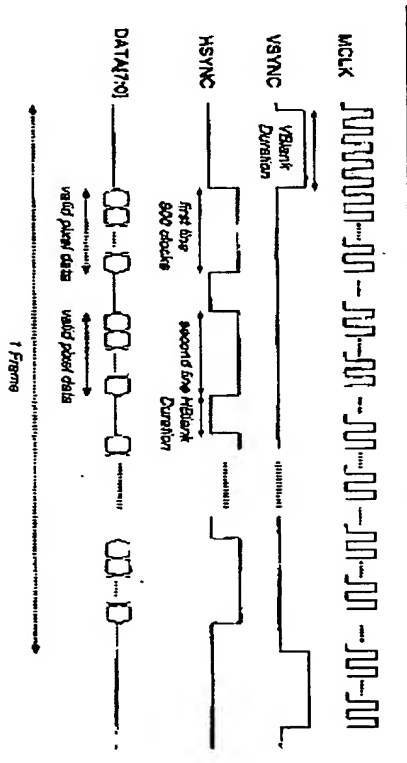
링 수단
을 구비하는 것을 특징으로 하는 CMOS 이미지 센서.

도면

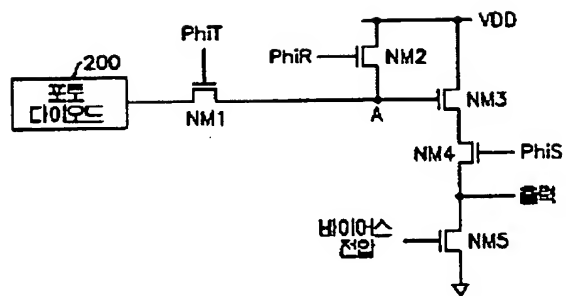
도면1



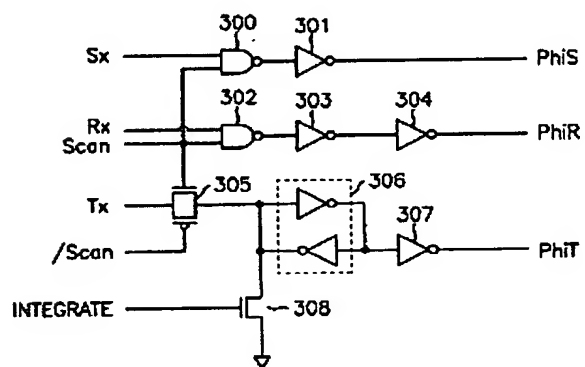
도면2



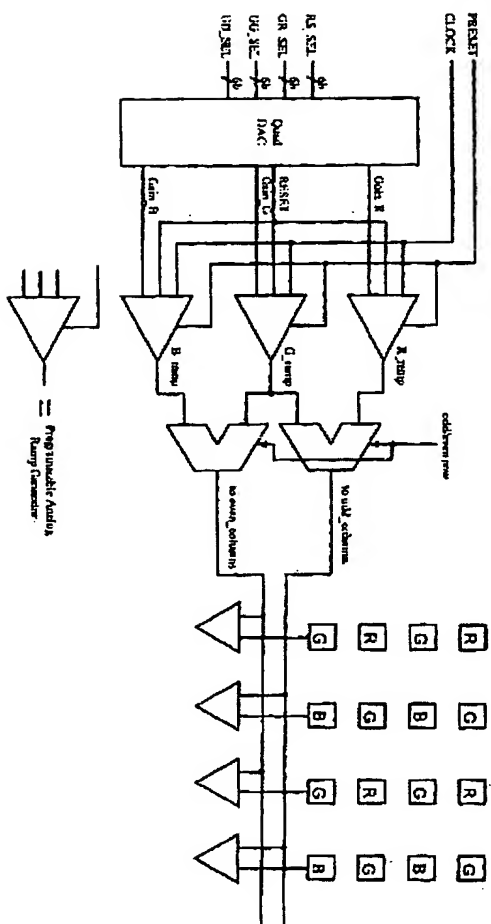
EDB



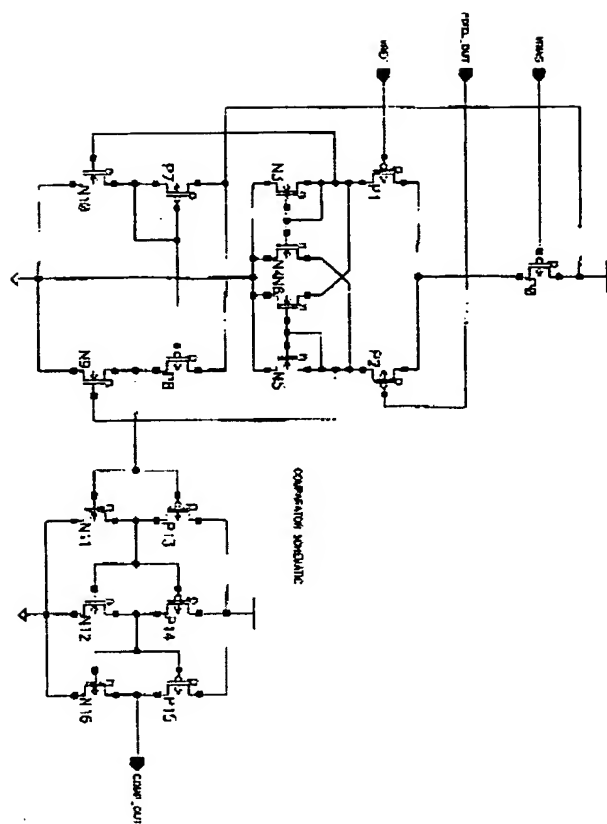
504



LR5



5B8



도 3

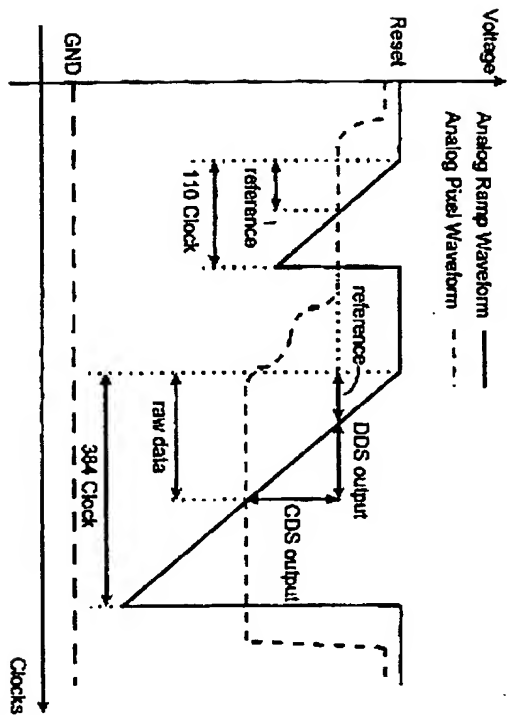


FIG 8

